1. O modelo de programação de um periférico especifica:

a) A funcionalidade do periférico e o conjunto de registos de dados de controlo e de status

b) O sub-conjunto de instruções assembly do CPU suportadas por esse periférico

c) Os sinais elétricos usados na ligação do periférico a dispositivos externos, tais como sensores e atuadores

d) As arquiteturas e as ferramentas de desenvolvimento com as quais o periférico pode ser usado

1. Na arquitetura de um sistema computacional, o Data Bus permite:

a) Identificar, na memória externa/periférico, a origem/destino dos dados

b) Especificar o tipo de operação efetuada sobre a memória

c) Transferir dados entre a memória externa/periféricos e os registos do CPU

d) Transferir o código máquina das instruções para o program counter

1. Quando é usada a técnica de entrada/saída de dados por interrupção?

a) O periférico faz um pedido de interrupção ao CPU após a conclusão da transferência de dados.

b) O periférico faz um pedido de interrupção ao CPU quando estiver pronto para transferir os dados.

c) O CPU interrompe a execução do programa para configurar o controlador de DMA que fará a transferência propriamente dita.

d) O DMA verifica através de um ciclo de polling se o periférico está pronto para transferir os dados e quando tal se verifica gera um pedido de interrupção ao CPU.

1. O diagrama temporal da figura ao lado representa um ciclo de:
2. Uma imagem com texto, Tipo de letra, diagrama, recibo

   Descrição gerada automaticamenteLeitura de um dispositivo mapeado no espaço de endereçamento de memória.

b) Escrita num dispositivo mapeado no espaço de endereçamento de I/O.

c) Escrita num dispositivo mapeado no espaço de endereçamento de memória.

d) Leitura de um dispositivo mapeado no espaço de endereçamento de I/O.

1. O overhead da transferência de informação por interrupção é devido, no….,a:
2. Retorno ao programa interrompido
3. Salto para a rotina de serviço à interrupção
4. Salvaguarda e reposição do contexto do progama interrompido, i.e., registos internos do CPU
5. Configuração do controlador de interrupções
6. A figura do lado corresponde ao diagrama temporal de:
7. Uma operação de escrita numa transferência síncrona com dados e endereços multiplexados numa configuração micro-ciclo
8. Uma operação de escrita numa transferência síncrona com dados e endereços não multiplexados numa configuração merged
9. Uma operação de leitura numa transferência assíncrona com dados e endereços multiplexados numa configuração micro-ciclo
10. Uma operação de escrita numa transferência assíncrona com dados e endereços não multiplexados numa configuração merged
11. Na interface RS-232 uma das fontes de erro do instante de amostragem dos vários bits no recetor é o “erro de fase”. Esse erro diminui:
12. Com o aumento do número de stop bits
13. Com a diminuição do tamanho da trama
14. Com a diminuição do fator de sobreamostragem
15. Com o aumento do fator de sobreamostragem
16. No barramento SPI:
17. Só é possível transmitir dados entre dois dispositivos em modo half duplex
18. O slave e o master utilizam relógios independentes para sincronizar as transferências de informação
19. As transferências de informação são sincronizadas pelo relógio do master
20. O master usa o relógio do slave para sincronizar as transferências de informação
21. Na interface I2C o endereçamento/seleção dos dispositivos é realizado através de:
22. Um sinal específico ativado pelo dispositivo que comanda a transferência
23. Informação transmitida na linha de relógio pelo dispositivo que comanda a transferência
24. Um barramento de endereços de 7 bits a partir do qual cada dispositivo descodifica o seu próprio endereço
25. Informação transmitida na linha de dados pelo dispositivo que comanda a transferência
26. A interface I2C é caracterizada fisicamente por apresentar:
27. Uma linha de relógio e duas linhas de dados (uma para transmitir e outra para receber)
28. Uma linha de relógio, uma linha de seleção e uma linha de dados
29. Uma linha de relógio e uma linha de dados
30. Uma linha de relógio, uma linha de seleção e duas linhas de dados (uma para transmitir e outra para receber)
31. No protocolo USB para transferir grandes quantidades de dados com garantia de entrega são usadas:
32. Transferência de controlo
33. Transferências “bulk”
34. Transferências isócronas
35. Transferências de interrupção
36. A topologia das ligações físicas, no protocolo USB, é:
37. Um anel com um máximo de 7 dispositivos
38. Uma estrela com um máximo de 7 dispositivos
39. Uma arvore com um máximo de 127 níveis
40. Uma arvore com um máximo de 7 níveis
41. No barramento CAN, cada trama de dados contém:
42. A identificação do no produtor da informação
43. A identificação do no destino da informação
44. A identificação do conteúdo da informação
45. A identificação dos dois nos: o produtor e o destino da informação
46. No barramento CAN a codificação das tramas de dados utiliza a técnica de “bit stuffing”. Essa técnica corresponde a:
47. Por cada 5 bits iguais é inserido um de polaridade oposta
48. Por cada bit enviado é inserido um de polaridade oposta
49. Por cada 5 bits diferentes é inserido um a “0”
50. Por cada 5 bits iguais é inserido um a “1”
51. Numa memoria estática SRAM:
52. As células necessitam de refrescamento regular
53. Cada célula de 1 bit é implementada com um mínimo de 6 transístores
54. O tempo de acesso aumenta com o valor do endereço
55. Existe um único barramento para dados e endereços de modo a diminuir o número de pinos do CI
56. O dirty bit é usado numa cache com política de escrita:
57. “write-back” para indicar que a informação armazenada no respetivo bloco foi alterada
58. “write-back” para indicar que o respetivo bloco não está a ser usado
59. “write-through” para indicar que a informação armazenada no respetivo bloco foi alterada na memoria principal
60. “write-through” para indicar que o respetivo bloco não está a ser usado
61. Na técnica normalmente designada por “memoria virtual” o número de entradas da page table é:
62. Igual ao número de entradas da memoria TLB
63. Igual ao número máximo de páginas físicas
64. Igual ao número de páginas de memoria usadas pelo processo em execução
65. Igual ao número máximo de páginas virtuais
66. O valid bit de uma entrada da page table, quando ativo, indica que:
67. A respetiva página foi acedida recentemente
68. A respetiva página esta residente em memoria física
69. A informação da respetiva página foi alterada
70. A respetiva página esta residente em disco
71. A tradução de endereços virtuais em endereços físico consiste:
72. Na tradução do physical page number no virtual page number e sua concatenação com o page offset do endereço produzido pelo CPU
73. Na tradução do virtual page offset no physical page offset e sua concatenação com o virtual page number do endereço produzido pelo CPU
74. Na tradução do virtual page number no physical page number e sua concatenação com o page offset do endereço produzido pelo CPU
75. Na tradução do physical page offset no virtual page offset e sua concatenação com o virtual page number do endereço produzido pelo CPU
76. Num sistema que suporte memoria virtual e cache qual das seguintes situações pode ocorrer num acesso á memoria:
77. TLB miss, page table miss, cache hit
78. TLB miss, page table hit, cache miss
79. TLB hit, page table miss, cache miss
80. TLB hit, page table miss, cache hit